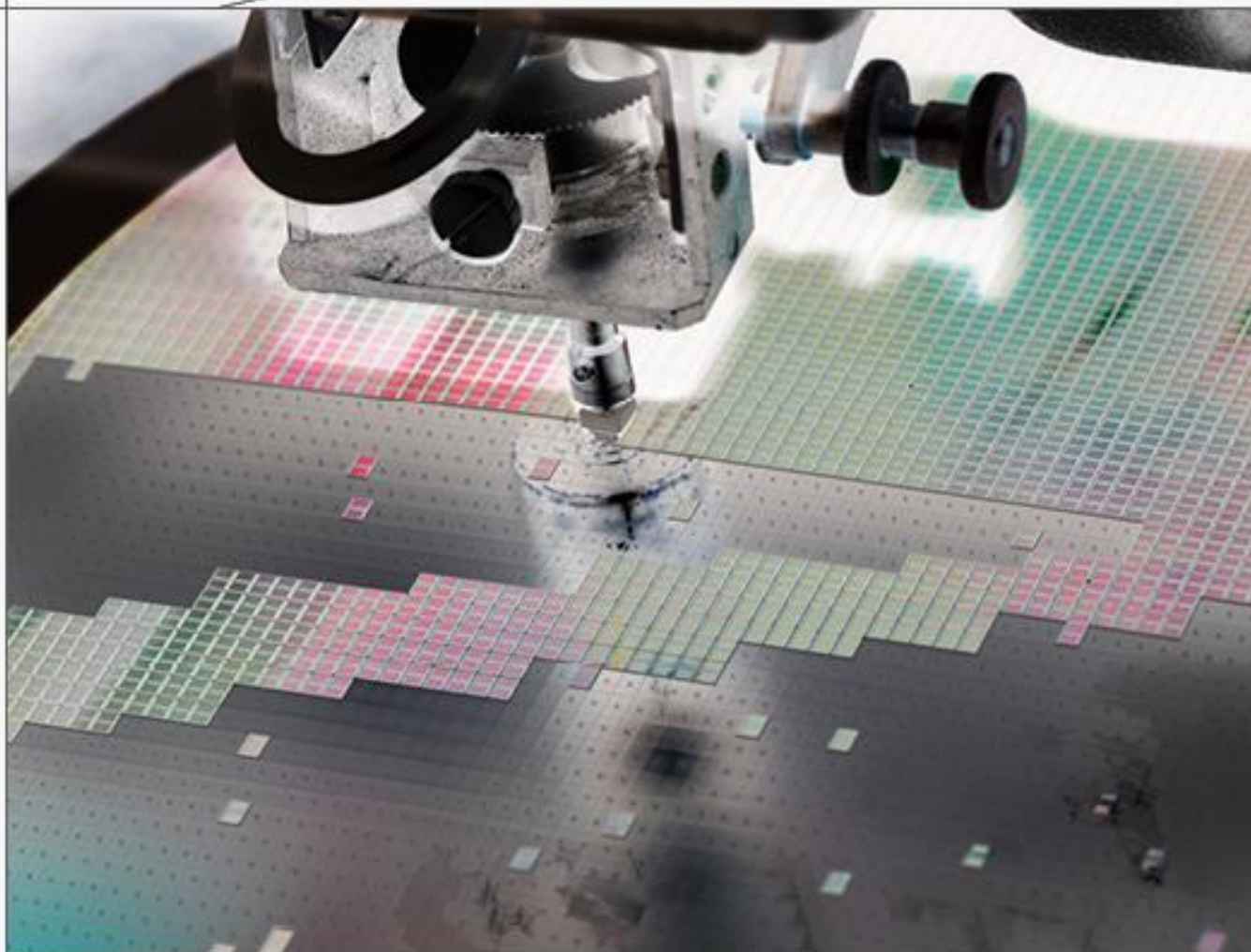


Tektronix®

跳进创新的另一面！

如何进行 晶圆级 可靠性测试



▶▶▶ 3月1日 (周五) 14:30-15:30

泰克云上大讲堂 & 泰克创新论坛



关注“泰克科技”服务号
查看产品资料&往期回放~



资料齐全，墙裂推荐！

泰克科技小程序

工程师身边的实用小助手

直播回放&讲义下载

2023云上大讲堂主题回顾

忆阻器的发展及测试方案

深度解析高速信号均衡技术

1/f噪声测试详解

车载以太网中MII接口的测试应用

车载传感器MIPI D-PHY信号分析

源表自动化测量编程详解

基于FET的生物传感器测试详解

PCIe测试面面观

薄膜材料电阻率与霍尔迁移率测试详解...

如何优化微弱电流测试...



加入“泰克半导体测试交流群”

只要你问，只要我有



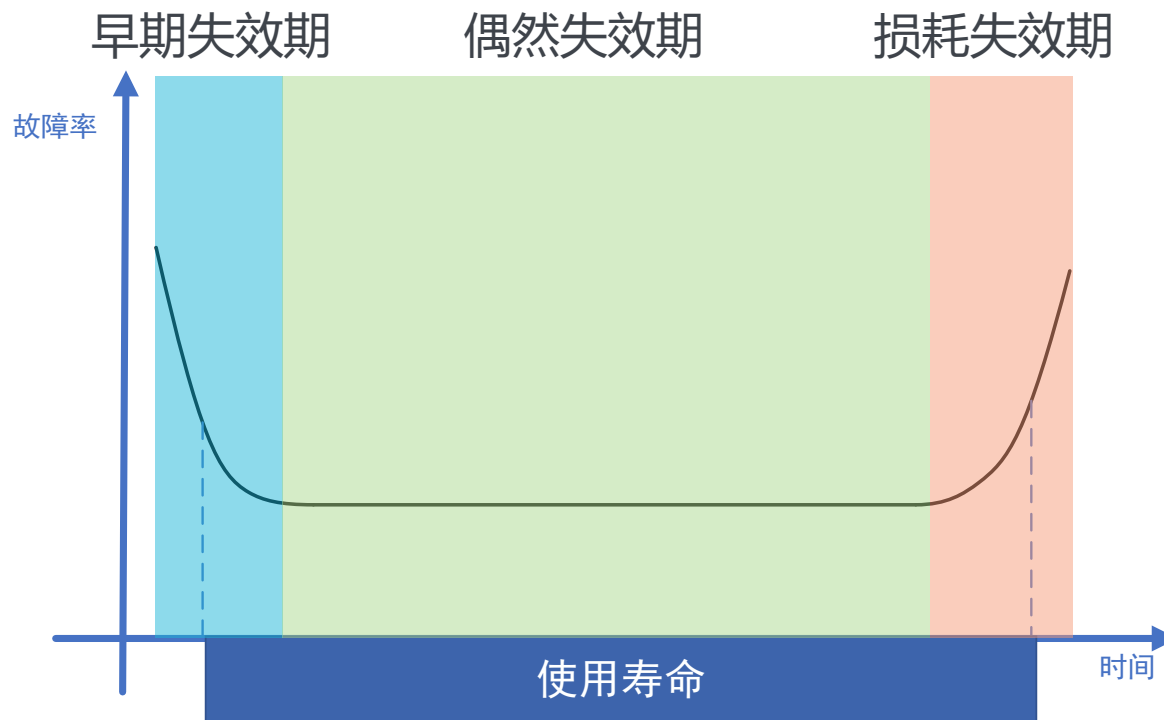
由泰克工程师小助手邀请入群~

(将于本场直播结束后统一邀请)

半导体器件可靠性

半导体生命周期中的故障率

- 早期失效期
 - 这一阶段失效较高，但随着时间增加而迅速下降。这一阶段产品失效的原因大多是由于设计、原料和制造过程中的缺陷所造成的。
- 偶然失效期
 - 这一阶段也称随机失效期或稳定工作阶段。在此期间，产品的失效往往带有某种随机性。它们是极端环境条件下与偶遇过大载荷引起，所对应的失效率函数为常数。
- 损耗失效期
 - 在此期间，产品由于老化、磨损、损耗和疲劳等综合原因造成，失效率明显上升。



半导体器件可靠性

什么是半导体器件可靠性

- 半导体器件可靠性指产品的寿命特点、使用维修情况、完成任务能力大小，是产品质量的重要指标之一。

半导体器件可靠性

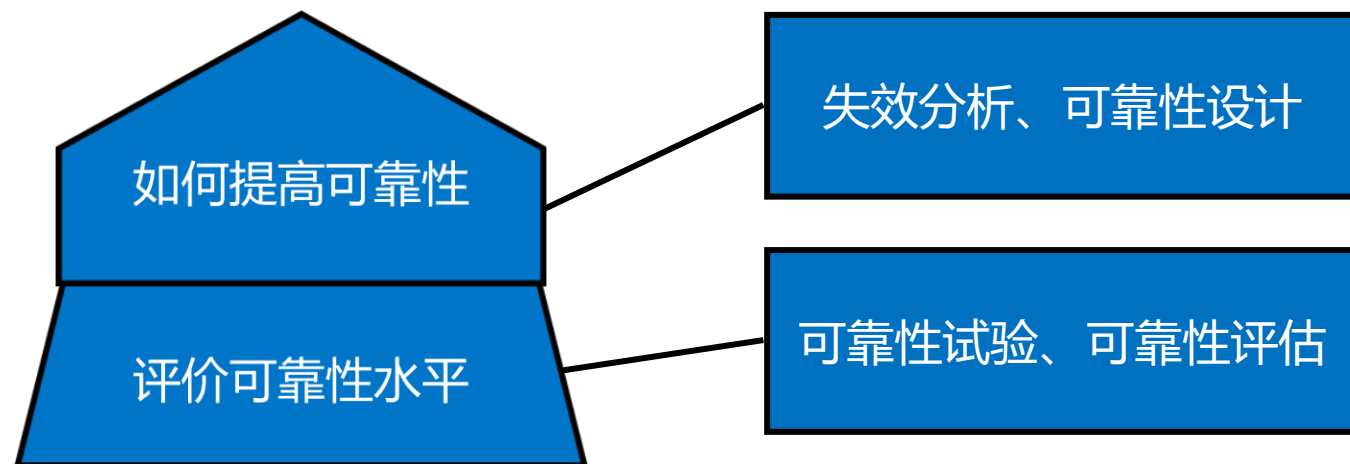
问题1

- 半导体器件可靠性研究的主要研究内容是什么？

半导体器件可靠性

主要研究内容

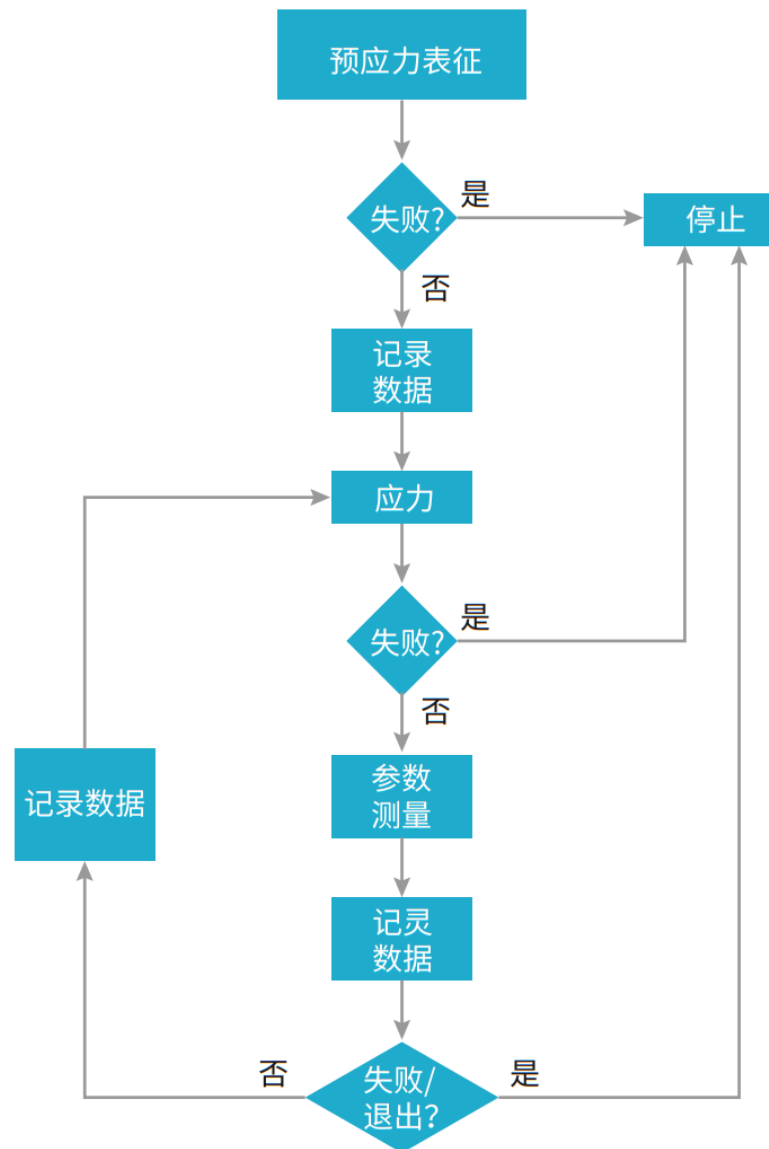
- 研究内容主要包括两个层次



- 虽然半导体可靠性研究首先是从评价可靠性水平开始的，但是研究重点逐渐在转向如何提高可靠性方面

半导体器件可靠性测试

测试流程



半导体器件可靠性测试

分立器件可靠性试验内容

- 环境试验

- 耐湿
- 稳态工作寿命
- 间歇工作寿命
- 高温存储
- 高温栅偏HTGB
- 高温反偏HTRB
- 盐雾试验
- 温度循环
- 热冲击
- 密封

- 机械性能试验

- 恒定加速度
- 扫频震动
- 外观及机械检验
- 颗粒噪声碰撞检测

半导体器件可靠性测试

晶圆可靠性测试定义

- 晶圆可靠性测试定义
 - 在晶圆制造过程中，对晶圆进行一系列测试，以求确保其性能和可靠性满足设计要求。
 - 测试包括对晶圆上每个芯片进行电性能、功能和可靠性测试，以确保芯片在不同工作条件下都能正常工作。
 - 确保晶圆质量和提高芯片成品率的重要手段。

半导体器件可靠性测试

晶圆可靠性测试目的及意义

- 晶圆可靠性测试目的
 - 确保晶圆质量
 - 提高产品可靠性
 - 保障生产流程
- 晶圆可靠性测试意义
 - 提升市场竞争力
 - 减少成本
 - 促进技术创新

半导体器件可靠性测试

晶圆可靠性测试内容

- 晶体管
 - 热载流子注入HCI
 - 偏压温度不稳定性BTI
- 栅氧化层
 - 经时介电层击穿TDDB
- 金属互连层
 - 电迁移EM
 - 应力迁移SM
- 制成整合
 - 等离子体诱导损伤PID

半导体器件可靠性测试

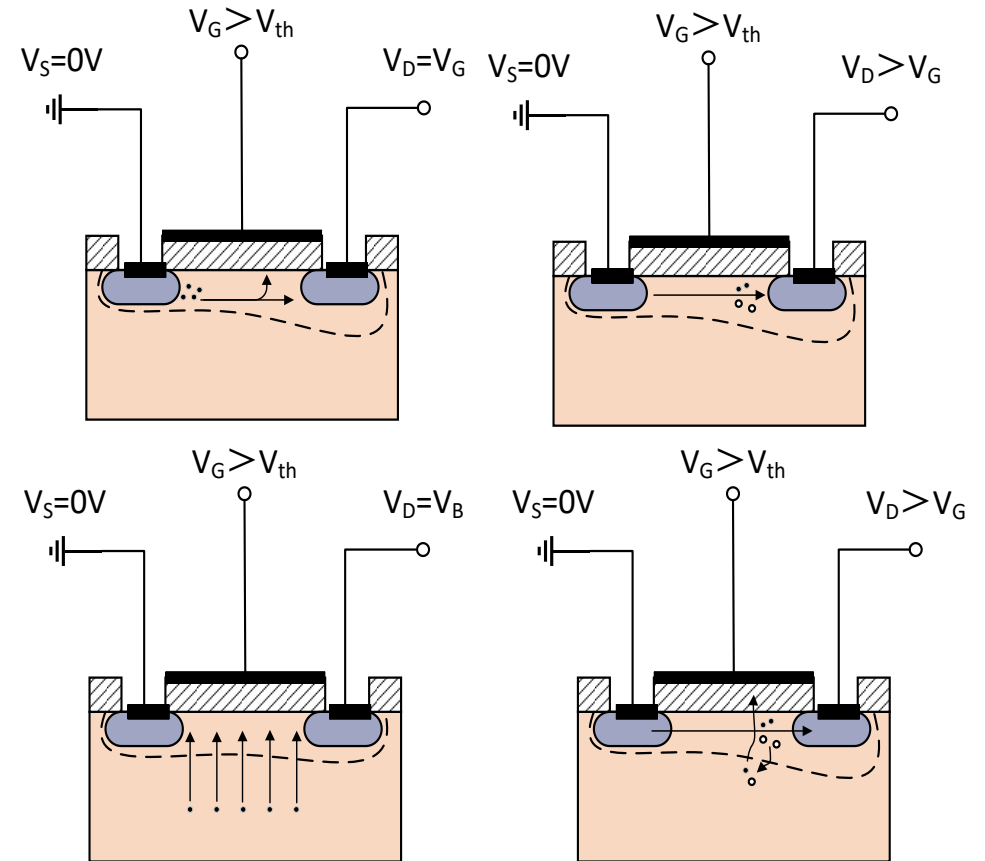
晶圆可靠性测试

- 热载流子效应HCI

- 热载流子是指其能量比费米能级大几个kT以上的载流子。这些载流子与晶格不处于热平衡状态，当其能量达到或超过Si/SiO₂界面势垒时（对电子注入为3.2eV，对空穴注入4.5eV）便会注入氧化层中，产生界面态、氧化层缺陷或被陷阱所俘获，使氧化层电荷增加或波动、不稳，这就是热载流子效应。热载流子包括热电子和热空穴。

- 热载流子效应测试

- 通过施加应力的方式模拟器件在发生热载流子效应下的退化，分析器件寿命，评估其可靠性。

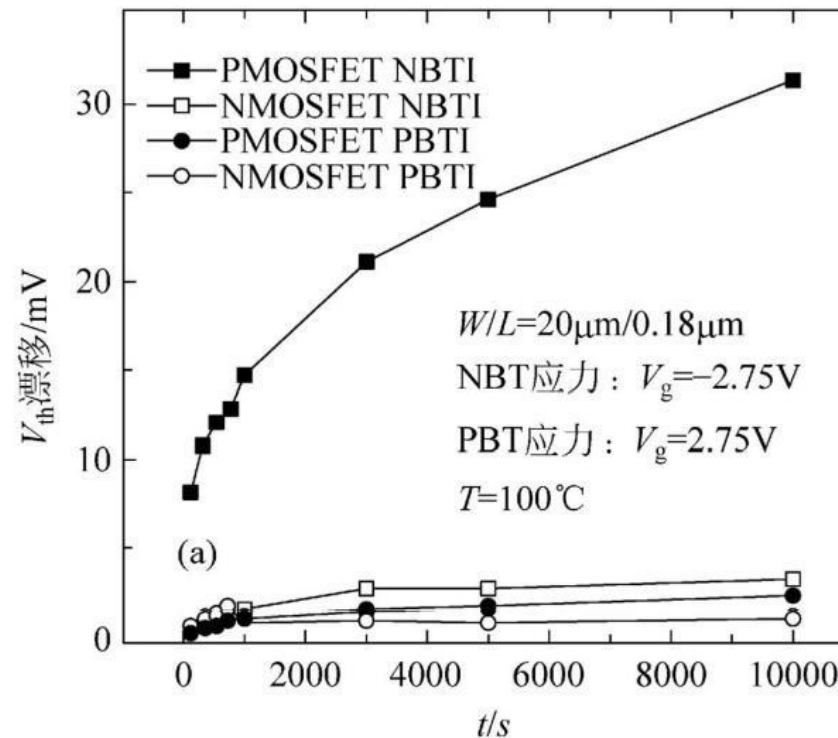


半导体器件可靠性测试

晶圆可靠性测试

- 偏压温度不稳定性BTI

- PMOS在栅极负偏压和较高温度工作时，其器件参数如 V_{th} 、 G_m 和 I_{dsat} 等的不稳定性叫负偏压温度不稳定性（Negative Bias Temperature Instability, NBTI）。
- 随着集成电路特征尺寸缩小，栅电场增加，器件工作温度升高，制造工艺上氮元素掺入热生长的栅氧化层，NBTI成为集成电路器件可靠性的关键失效机理之一。



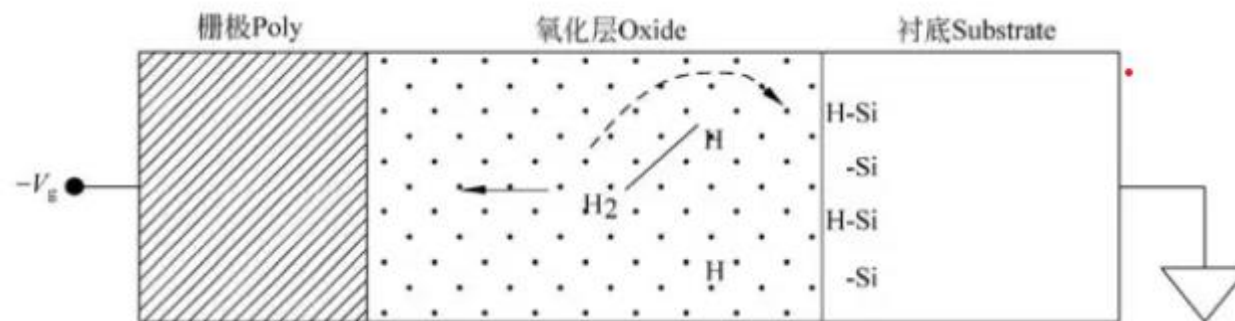
NBTI实验中, V_{th} 随 t 的退化曲线

半导体器件可靠性测试

晶圆可靠性测试

- PMOS的NBTI模型

- 通常现普遍接受的模型是反应扩散模型 (reaction-diffusion model)
- 模型认为，加在栅极的负偏压在Si-SiO₂界面上引起了场强相关的反应，钝化Si-H键被打断，留下了带正电的界面态 (Si⁺)，H被释放到栅氧化层中形成H₂并向多晶硅层扩散，在氧化层形成了氧化层陷阱 (见图15.7)。这些界面态与陷阱导致半导体器件参数的改变。



半导体器件可靠性测试

晶圆可靠性测试

- PMOS的NBTI模型

- 通常现普遍接受的模型是反应扩散模型 (reaction-diffusion model)。模型认为, 加在栅极的负偏压在Si-SiO₂界面上引起了场强相关的反应, 钝化Si-H键被打断, 留下了带正电的界面态 (Si⁺), H被释放到栅氧化层中形成H₂并向多晶硅层扩散, 在氧化层形成了氧化层陷阱 (见图15.7)。这些界面态与陷阱导致半导体器件参数的改变。



半导体器件可靠性测试

晶圆可靠性测试

- PMOS的NBTI测试特点

- 无论是负栅极电压或温度升高都会造成NBTI，其结果是 I_{dsat} 下降， G_m 下降， I_{off} 升高， V_{th} 升高，在实验中有：
 - 正偏压会最大限度地对器件特性有恢复效应。
 - 深埋信道的PMOSFET不易发生NBTI。
 - 界面陷阱密度 D_{it} 的峰值处于带隙的下半部分。
 - 氧化层厚度 \downarrow ， $D_{it}\uparrow$ ，但固定氧化物电荷密度与厚度无关。

半导体器件可靠性测试

晶圆可靠性测试

- PMOS的NBTI测试方法及退化曲线

The screenshot displays the nbt-1-dut software interface for configuring an NBTI test. The interface includes a top toolbar with 'Run', 'Stop', and 'Save' buttons, and a left sidebar with a project tree. The main workspace shows the 'nbt' configuration for a '4terminal-p-fet' device. The 'Gate' terminal is configured with SMU3, a stress of -1V, and a limit of 0.1A. The 'Drain' terminal is configured with SMU2, a stress of 0V, and a limit of 0.1A. The 'Bulk' terminal is configured with SMU4, a stress of 0V, and a limit of 0.1A. The 'Source' terminal is configured with SMU1, a stress of 0V, and a limit of 0.1A. A schematic diagram shows the electrical connections between these terminals and the device. A 'Stress Sequence' table is visible on the right, listing 8 cycles with their respective cycle stress times and total stress times. A red circle highlights the 'Stress Sequence' table and the 'Gate' terminal configuration.

Cycle	Cycle Stress Time	Stress Time
3	115.4 s	215.4 s
4	248.7 s	464.2 s
5	535.8 s	1000.0 s
6	1154.4 s	2154.4 s
7	2487.2 s	4641.6 s
8	5358.4 s	10000.0 s

半导体器件可靠性测试

晶圆可靠性测试

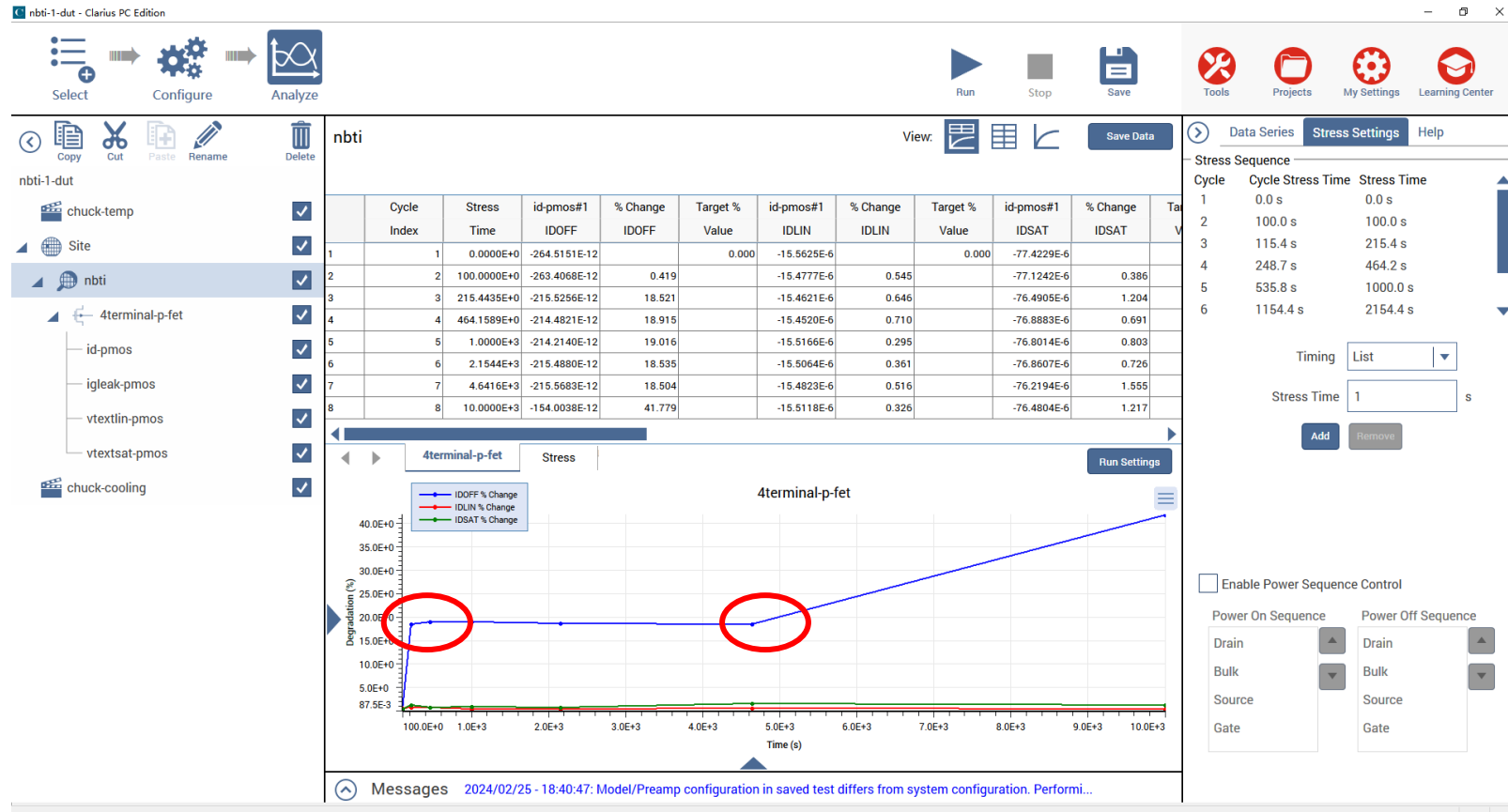
- PMOS的NBTI测试退化模型

$$dV_t = -A * \left(\frac{1}{W}\right)^n * \left(\frac{1}{L}\right)^m * \exp\left(-\frac{C}{VG}\right) * \exp\left(-\frac{E_a}{kT}\right) * t^p$$

半导体器件可靠性测试

晶圆可靠性测试

• PMOS的NBTI测试方法及退化曲线

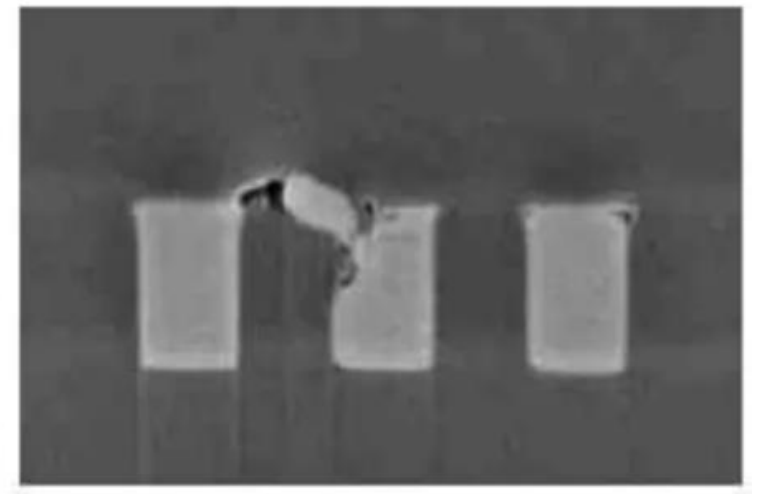
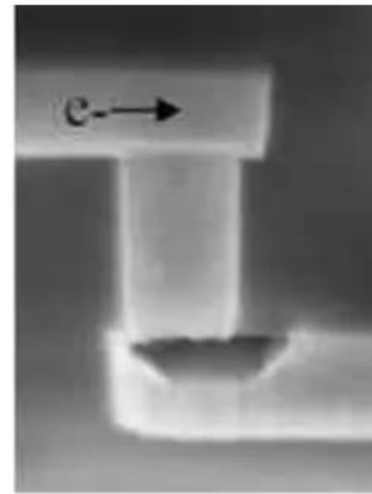


半导体器件可靠性测试

晶圆可靠性测试

- 电迁移EM

- 当电流在金属导线中流动时，金属导线中会出现空洞，最终导致金属线断裂，这种现象称之为电迁移（Electromigration, EM）。



半导体器件可靠性测试

晶圆可靠性测试

- EM的测试方法及退化曲线

The screenshot displays the 'em-const-i - Clarius PC Edition' software interface. The main configuration area shows 'Subsite Operation' set to 'Stress', 'Stress Mode' as 'DC Current', and 'Device' as 'metal-line'. A circuit diagram shows a current source 'A SMU1' with a stress value of 0.1 and a limit of 10, connected to a resistor and then to a terminal 'B NONE'. The right-hand panel, titled 'Stress Settings', contains a 'Stress Sequence' table and various timing parameters. A red circle highlights the 'Stress Sequence' table and the 'Timing' section.

Cycle	Cycle Stress Time	Stress Time
3	11.5 s	21.5 s
4	24.9 s	46.4 s
5	53.6 s	100.0 s
6	115.4 s	215.4 s
7	248.7 s	464.2 s
8	535.8 s	1000.0 s

Timing: Log

First Stress Time: 10 s

Final Stress Time: 1000 s

Stresses/Decade: 3

Post-Stress Delay: 0 s

Enable Power Sequence Control:

Power On Sequence: B, A

Power Off Sequence: B, A

半导体器件可靠性测试

晶圆可靠性测试

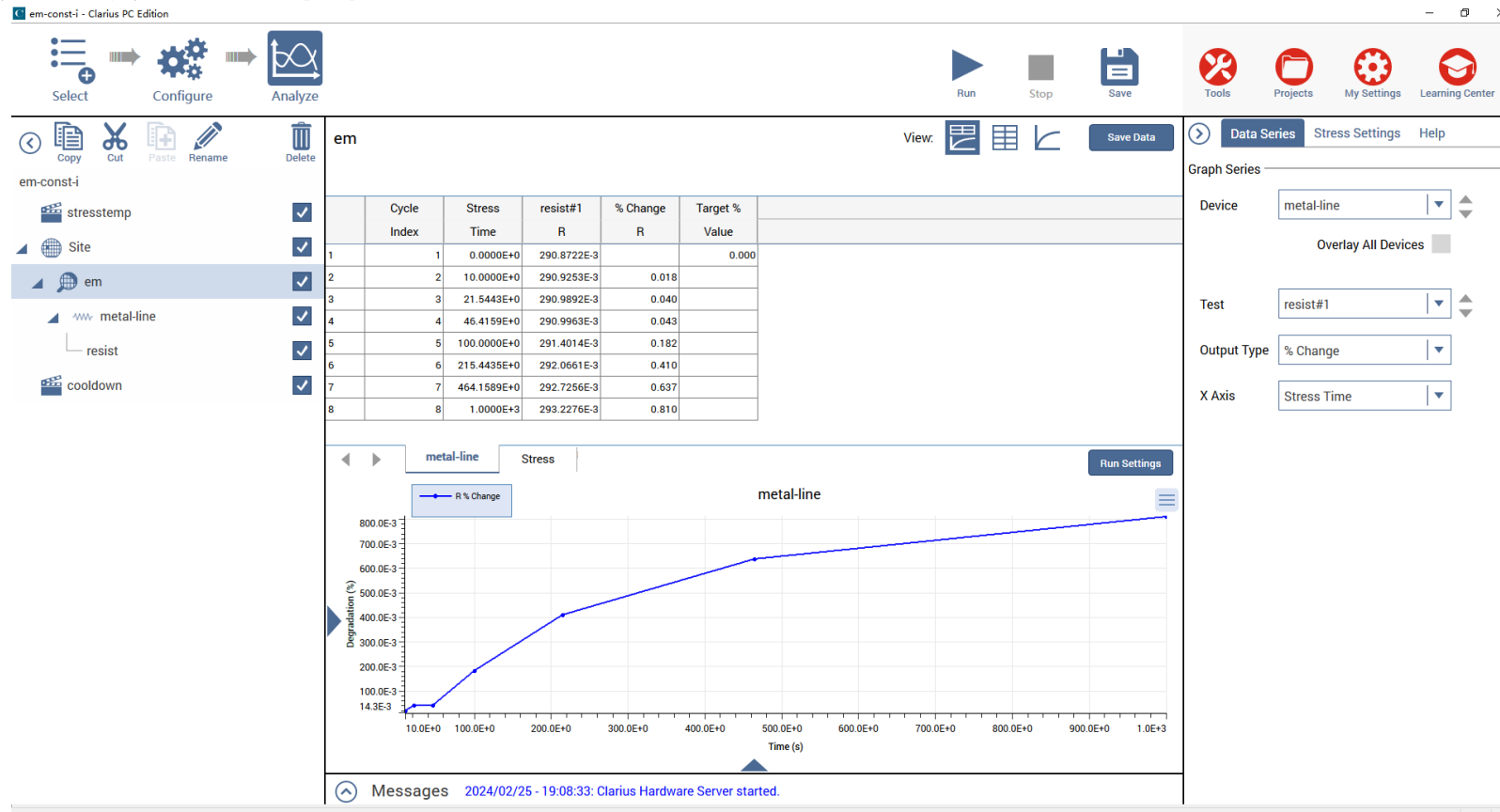
- EM的退化模型 (Black)

$$dR = A * J^n * \exp\left(-\frac{E_a}{kT}\right)$$

半导体器件可靠性测试

晶圆可靠性测试

- EM的测试方法及退化曲线



泰克云上大讲堂 & 泰克创新论坛



关注“泰克科技”服务号
查看产品资料&往期回放~



资料齐全，墙裂推荐！

泰克科技小程序

工程师身边的实用小助手

直播回放&讲义下载

2023云上大讲堂主题回顾

忆阻器的发展及测试方案

深度解析高速信号均衡技术

1/f噪声测试详解

车载以太网中MII接口的测试应用

车载传感器MIPI D-PHY信号分析

源表自动化测量编程详解

基于FET的生物传感器测试详解

PCIe测试面面观

薄膜材料电阻率与霍尔迁移率测试详解...

如何优化微弱电流测试...

